

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 04061269 A

(43) Date of publication of application: 27 . 02 . 92

(51) Int. Cl

H01L 27/092

H01L 21/74

H01L 21/76

(21) Application number: 02172407

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: 28 . 06 . 90

(72) Inventor: **YASUDA KENICHI**
MORI SHIGERU

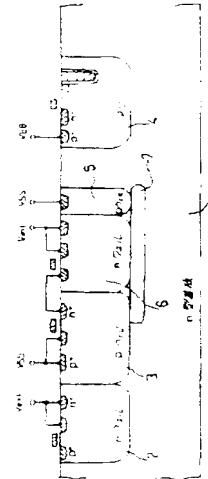
(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To form an n-well part electrically insulated from an n-type substrate, other n-well without raising its impurity concentration more than necessary to reduce the number of times of forming the wells and to form a structure in which the n-well is scarcely punched through the substrate by surrounding the n-well necessary to be electrically insulated from the substrate by a high energy implanted p⁺ type layer and a p-well.

CONSTITUTION: An n-well 6 is surrounded by p-wells 3, 5 and a high energy implanted p⁺ type layer, and thereby electrically connected to an n-type substrate 1 and other n-well 2. Since the n-well is not formed in the p-well in this manner, the p-wells 3, 4, 5 are not necessarily varied in concentrations, but can be formed in the same step. Since an impurity is not diffused except a p⁺-type layer 7 of the substrate 1 in the formation of a high energy implanted p⁺ type layer 7, the well 6 is the same as the formation on the substrate in which no p-type impurity exists.



⑱ 公開特許公報 (A)

平4-61269

⑲ Int. Cl. 5

H 01 L 27/092
21/74
21/76

識別記号

庁内整理番号

⑳ 公開 平成4年(1992)2月27日

J

9169-4M

9169-4M

7735-4M

H 01 L 27/08

321 B

審査請求 未請求 請求項の数 1 (全3頁)

㉑ 発明の名称 半導体装置

㉒ 特願 平2-172407

㉓ 出願 平2(1990)6月28日

㉔ 発明者 安田 憲一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉔ 発明者 森 茂 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉔ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉔ 代理人 弁理士 早瀬 憲一

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 第1導電型半導体基板上に形成された第1及び第2導電型ウェルと、上記半導体基板上に上記第1導電型ウェル及び半導体基板と電気的に絶縁して形成された第2の第1導電型ウェルとを備えた半導体装置において、

上記半導体基板中に高ニネルギーイオン注入によって形成された第2導電型導電層を有し、

上記第2の第1導電型ウェルは上記第2導電型ウェル及び第2導電型導電層によって囲まれて、ることを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は半導体装置に関し、特に半導体基板上に複数種類のウェルを形成する場合の構造に関するものである。

〔従来の技術〕

第2図は例えばアイ・エス・エス・シーシー・89・ダ・ジェスト・オブ・テクニカル・ペーパーズ (ISSCC 89 DIGEST OF TECHNICAL PAPERS) (P248, 249) に示された半導体装置の断面図である。図において、1はn型半導体基板、2は該半導体基板1中に形成されたpウェル、3, 4は同じn型半導体基板1中に形成されたpウェル②、5は同じn型半導体基板1中に形成されたnウェル③、6は該pウェル②⑤内に形成されたnウェルである。ここで上記pウェル②⑤は濃度が異なっている。一般に、MOSFETのドレインが微細化されるにつれてウェルの不純物濃度はますます上がる傾向にある。これは粗さによる効果を抑えるためである。その結果、スルーパスルドMOSのバックゲートバイアス依存性はますます強くなっている。従ってトランジスタの高速化のためにV_{gs}をかけない方が好ましい。しかしながら例えばダイナミックRAMのメモリセル部のようにアドエラー対策や素子分離耐圧の向上のためにはV_{gs}をかけた方がよい場合もある。従って、各々のトランジスタに最

適なV_{ds}をかけられることが最も望ましい。

第2図に示す従来例においては、nウェル2、nウェル6、pウェル③、pウェル④、pウェル⑤にそれぞれV_{ext}、V_{int}、V_{ass}、V_{ext}、V_{ass}のバックゲートバイアスがかかっている。

〔発明が解決しようとする課題〕

従来の装置では、第2図に示されるごとく、nウェル⑤内にnウェル6を形成しているので、nウェル⑤の領域においては導電型としてはn型となっているものの、pウェル⑤形成時に打ち込まれた不純物とnウェルも形成時に打ち込まれた不純物が存在しており、不純物濃度は高くモビリティが低くなってしまう。また、nウェル6がpウェル⑤を突き抜けて、n型基板1と接触してしまわないようにnウェル6を形成せねばならない。

さらにpウェル⑤とpウェル③を同じ濃度にすれば、nウェル6形成時に打ち込む不純物の濃度が高くなりすぎるので、nウェル⑤とnウェル③は濃度を異なせば別々に形成せねばならない。

にしたので、上記nウェル部分に余分なp不純物を打ち込む必要がないので、不純物によるモビリティの低下が少なくてすみ、またnウェルとnウェルを二重に作ることがないので、製造時の制御が容易となる。さらにウェルをその濃度を変えて作りわける必要がないので、マスク枚数や工程数を少なくすることができる。

〔実施例〕

以下、この発明の一実施例を図について説明する。

第1図は本発明の一実施例による半導体装置の断面構造を示す図であり、図において1はn型半導体基板、2、6はそれぞれ同一濃度のnウェル、3、4、5はそれぞれ同一濃度のpウェル、7は上記n型半導体基板1中に高エネルギー注入により形成されたP₁層である。ここで上記nウェル6は上記nウェル3、5及び高エネルギー注入P₁層により囲まれており、これによってn型基板1及び他のnウェル2と電気的に絶縁されている。

次に作用効果を第1図に基づいて説明する。

らず、またnウェル3とnウェル6も濃度を変えて別々に形成する必要があり、マスク枚数及び工程数が増えるという問題点があった。

この発明は上記のような問題を解消するためになされたもので、n型基板や他のnウェルと電気的に絶縁されたnウェル部分を、その不純物濃度を必要以上に上げることなく形成でき、またウェルの作り分けの回数を少なくすることができ、さらに上記nウェルがn型基板に突き抜けにくい構造の半導体装置を得ることを目的とする。

〔課題を解決するための手段〕

この発明による半導体装置は、n型基板中に高エネルギー注入によりp₁層を形成し、n型基板及び他のnウェルから電気的に絶縁されるべきnウェルを上記p₁層及びpウェルで囲んだものである。

〔作用〕

この発明においては、n型基板や他のnウェルから電気的に絶縁されるべきnウェル部分を高エネルギー注入によるp₁層とnウェルで囲むよう

第1図に示されているようにnウェル中にnウェルが作られることがないので、pウェル3、4、5は特に濃度をかえる必要がなく、同じ工程で作ることができる。また、高エネルギー注入p₁層7の形成においては、n型基板1の該p₁層7部分以外には不純物は拡散されないので、nウェル6はn型不純物の存在しないn型基板1上に作ることほぼ同じことになる。従ってnウェル2とnウェル6を形成するに際しても、不純物打ち込み量を特にかえる必要はない。同じ工程で形成することができる。」

しかもnウェル6はnウェル2、6に接する高エネルギー注入p₁層7に囲まれて、その他のnウェル6にはnウェル2はnウェル6はnウェル2やn型基板1からは絶縁されることとなる。従って、nウェル2とnウェル6には独立にバックゲートバイアスを与えることができる。また、pウェル4はn型基板領域により他のpウェル3、5と分離されているので、nウェル3とnウェル4にも独立にバックゲートバイアスを与えることができる。

また、高エネルギー注入 p^+ 層は、その打ち込みエネルギーによって形成される深さが決まるので制御しやすく、 n ウェルもが n 型基板上に突き抜けてしまう可能性が低くなる。

また、前述のように n ウェルもは p 型不純物の存在しない基板領域に形成されるので、その形成時には n ウェル形成に必要な量の不純物だけを打ち込めばよく、必要以上に不純物の濃度を上げなくてよいのでモビリティの低下を抑えることができる。

なお、上記実施例では n 型基板上にウェルを形成したものを例に挙げたが、これは p 型基板上にウェルを形成したものでもよい。

〔発明の効果〕

以上のように本発明に係る半導体装置によれば、 n 型基板と電気的に絶縁する必要のある n ウェルを、高エネルギー注入 p^+ 層と p ウェルで囲むようにしたので、各々のウェルに独立にバックゲートハイアスを与えることができ、かつ複数の n ウェル及び複数の p ウェルを各々一回の工程で作る

ことができる。

さらに、 n 型基板領域や他の n ウェルと絶縁されるべき n ウェル部分の形成時には、 n ウェル形成に必要な量の不純物を打ち込めばよく、必要以上に不純物の濃度を上げなくてよいので上記 n ウェル部分でのモビリティの低下を抑えることができる。

4. 図面の簡単な説明

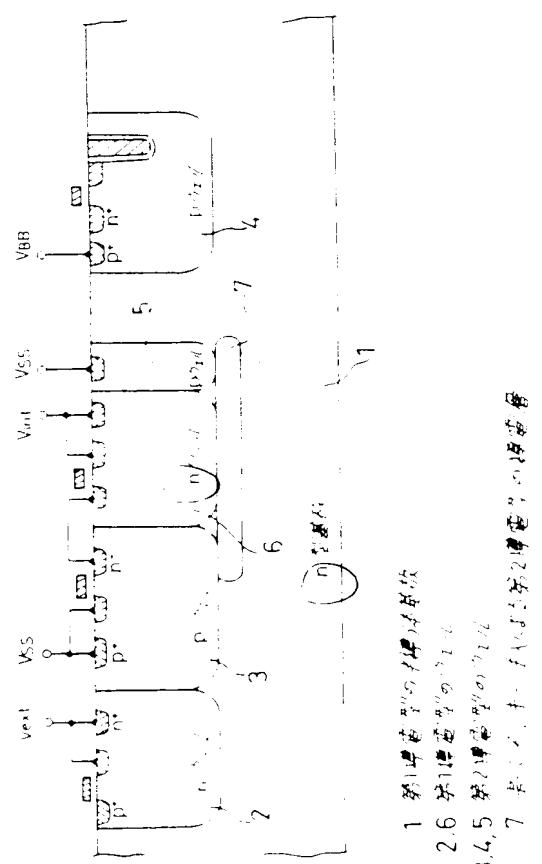
第1図はこの発明の一実施例による半導体装置の断面図、第2図は従来の半導体装置の断面図である。

1…第1導電型の半導体基板、2, 6…第1導電型のウェル、3, 4, 5…第2導電型のウェル、7…高エネルギー注入による第2導電型の導電層。

なお図中同一符号は同一又は相当部分を示す。

代理人 早瀬 一

第1図



第2図

